

Original document

HIGH Q INDUCTOR FOR HIGH FREQUENCY

Publication number: JP2000232202 (A)

Publication date: 2000-08-22

Inventor(s): ANDO TOSHIAKI; SAKAKURA MAKOTO; NAKATANI TOSHIBUMI; TAKINAMI KOJI; HIRAKAWA YUKIO +

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD +

Classification:

- international: H01F17/00; H01F27/06; H01F27/28; H01L21/822; H01L27/04; H01F17/00; H01F27/06; H01F27/28; H01L21/70; H01L27/04; (IPC1-7): H01F17/00; H01F27/06; H01F27/28; H01L21/822; H01L27/04
- European:

Application number: JP19990351563 19991210

Priority number (s): JP19990351563 19991210; JP19980353078 19981211

[View INPADOC patent family](#)[View list of citing documents](#)

Abstract of **JP 2000232202 (A)**

[Translate this text](#)

PROBLEM TO BE SOLVED: To make it possible to form a high Q inductor having a low series resistance component, which is not subjected to skin effect on an IC by a method wherein an inductor part, which is composed of one layer of wiring layer is multilayered. **SOLUTION:** Multilayered inductors 11 and 14 are arranged, they are connected with each other, and using a part of the second layer of wiring layer 1r as an inductor, a series resistance component is reduced by increasing the cross sectional area where the current of inductor flows. Also, by having the inductors in double layer, they are not subjected to the affection of the skin effect in a high frequency region.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-232202
(P2000-232202A)

(43)公開日 平成12年8月22日(2000.8.22)

(51)Int.Cl. ⁷	識別記号	F I	マーク*(参考)
H 0 1 L	27/04 21/822	H 0 1 L 27/04	L
H 0 1 F	27/06 17/00 27/28	H 0 1 F 17/00 27/28 15/02	D L F

審査請求 未請求 請求項の数12 O.L. (全 8 頁)

(21) 出願番号 特願平11-351563

(22) 出願日 平成11年12月10日(1999.12.10)

(31) 優先權主張番号 特願平10-353078

(32) 優先日 平成10年12月11日(1998.12.11)

(33) 優先權主張國 日本 (JP)

(71) 出願人 0000001821

松下電器産業株式会社

大阪府門真市木室門真1006番地

(72) 奉明者 安藤 敏異

文庫 勝光
大阪府門真市大字門真1

大阪府大阪市北区天王寺1000番地 一社中電器
産業株式会社内

(72) 發明者　扳倉　直

大阪府門真市太守門真1006番地 松下電器

大日本洋行

100092794

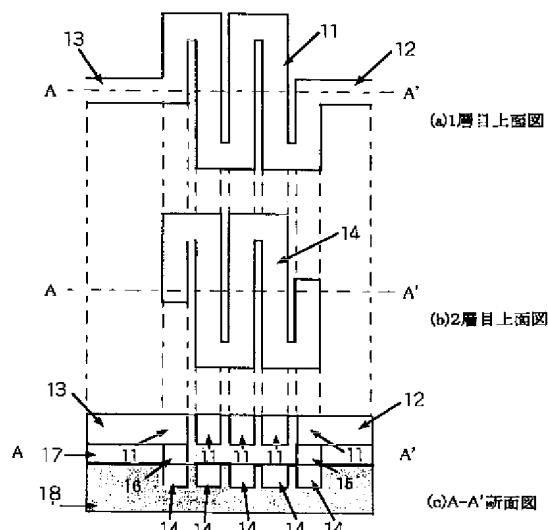
最終頁に続く

(54) 【発明の名称】 高周波用高Qインダクタ

(57) 【要約】

【課題】従来のIC上で構成されるインダクタ部は、単層で構成されていたため、半導体プロセスで制限された配線層の厚みの関係で、直列抵抗成分が大きく、Q値の高いインダクタを得ることができなかつた。

【解決手段】多層にインダクタ 11、14 を配置してその間を接続し、2 層目の配線層 14 の 1 部もインダクタとして使用し、インダクタの電流の流れる断面積を増やすことにより直列抵抗成分を削減する。また層を 2 層とすることにより高周波領域における表皮効果の影響を受けなくし Q 値の向上を図る。



1 1 : 1層目インダクタ部
 1 2 : 1層目取り出し配線
 1 3 : 1層目取り出し配線
 1 4 : 2層目インダクタ部
 1 5, 1 6 : 1層目、2層目接続部
 1 7 : 層間膜
 1 8 : 平坦化膜

【特許請求の範囲】

【請求項1】 1つのインダクタが、複数のIC配線層にそれぞれ配置された、複数のインダクタ要素を有し、それぞれのインダクタ要素が形成する磁界の方向が実質上同じであることを特徴とする高周波用高Qインダクタ。

【請求項2】 前記複数のインダクタ要素が直列に接続されていることを特徴とする請求項1記載の高周波用高Qインダクタ。

【請求項3】 前記複数のインダクタ要素が並列に接続されていることを特徴とする請求項1記載の高周波用高Qインダクタ。

【請求項4】 前記複数のインダクタ要素は、直列に接続された回路部分と、並列に接続された回路部分とを有することを特徴とする請求項1記載の高周波用高Qインダクタ。

【請求項5】 前記インダクタ要素の少なくとも一つのインダクタ要素がミアンダ形状に、又は、スパイラル形状に配列されていることを特徴とする請求項1記載の高周波用高Qインダクタ。

【請求項6】 前記複数のインダクタ要素同士の接続部は、それぞれのインダクタ要素が配置されたIC配線層の間に形成された層間膜に形成されていることを特徴とする請求項1～5のいずれかに記載の高周波用高Qインダクタ。

【請求項7】 前記インダクタ要素からの取り出し配線は、前記インダクタ要素が配置されたIC配線層に配置されていることを特徴とする請求項1に記載の高周波用高Qインダクタ。

【請求項8】 前記複数のインダクタ要素は、それぞれスパイラル形状に配列され、互いに並列接続され、一つの前記取り出し配線は、前記インダクタ要素のスパイラルの中心部に接続されるとともに、前記IC配線層のいずれかを利用して外部へ取り出されており、その取り出しに利用されたIC配線層に配置された前記スパイラル形状のインダクタ要素は、その取り出し配線と交叉する各部位で途切れており、その各途切れた端部同士は、別のIC配線層に配置された前記スパイラル形状のインダクタ要素の一部に接続されることによって、互いに接続されていることを特徴とする請求項7記載の高周波用高Qインダクタ。

【請求項9】 前記インダクタ要素からの取り出し配線は、前記インダクタ要素が配置されたIC配線層でなく、別に設けられた配線層に配置されていることを特徴とする請求項1～6のいずれかに記載の高周波用高Qインダクタ。

【請求項10】 前記取り出し配線と、それに接続される前記インダクタ要素との間は、前記取り出し配線が配置された配線層と、前記インダクタ要素が配置されたIC配線層との間の層間膜に設けられた接続部で接続され

ていることを特徴とする請求項9記載の高周波用高Qインダクタ。

【請求項11】 前記複数のインダクタ要素は、それぞれスパイラル形状に配列され、前記複数のインダクタ要素は隣り合う同士接続され、その接続の仕方は、中心部同士を接続し、また最外部同士を接続することによって互いに直列接続され、前記隣り合う同士の各インダクタ要素のスパイラルの巻き方は互いに逆転しており、各インダクタ要素が生成する磁界の方向は実質上同一方向を向いていることを特徴とする請求項1記載の高周波用高Qインダクタ。

【請求項12】 前記複数のインダクタ要素は、それぞれスパイラル形状に配列され、前記複数のインダクタ要素は一つ置きに互いに接続され、その接続の仕方は、中心部同士を接続し、また最外部同士を接続することによって互いに直列接続され、隣り合う同士の各インダクタ要素のスパイラルの巻き方は、同方向と逆方向を順次繰り返しており、各インダクタ要素が生成する磁界の方向は実質上同一方向を向いていることを特徴とする請求項1記載の高周波用高Qインダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体IC上において、高周波で用いるQ値の高いインダクタの構造に関するものである。

【0002】

【従来の技術】従来の技術について図9を用いて説明する。図9において、1はインダクタ部、2は1層目における取り出し配線、3は2層目における取り出し配線、5は1層目と2層目の接続部、7は層間膜、8は平坦化膜である。

【0003】このように従来のインダクタは、インダクタ部が単層で構成されており、他の部品との接続のための取り出し配線に2層目を使用していた。

【0004】この場合一般的に知られるインダクタの特性として、大きなインダクタンス値を得ようとする場合、線路長を長くする必要があった。

【0005】

【発明が解決しようとする課題】しかしながら上記のような構成では、大きなインダクタンス値を得るには線路長が長くなるために、インダクタを構成する配線材料の抵抗により直列抵抗成分が大きくなり、インダクタのQ値が劣化するという課題を有していた。

【0006】また、線路長を長くするとインダクタの全体のサイズが大きくなりがちであった。

【0007】本発明は、従来のこのようなインダクタの課題を考慮し、抵抗が大きくなりらず、Q値の高いインダ

クタを得ることを目的とするものである。

【0008】また、本発明は、線路長を長くしても、サイズが大きくならないインダクタを得ることを目的とするものである。

【0009】

【課題を解決するための手段】第1の本発明（請求項1に対応する）は、1つのインダクタが、複数のIC配線層にそれぞれ配置された、複数のインダクタ要素を有し、それぞれのインダクタ要素が形成する磁界の方向が実質上同じであることを特徴とする高周波用高Qインダクタである。

【0010】第2の本発明（請求項2に対応する）は、前記複数のインダクタ要素が直列に接続されていることを特徴とする第1の本発明の高周波用高Qインダクタである。

【0011】第3の本発明（請求項3に対応する）は、前記複数のインダクタ要素が並列に接続されていることを特徴とする第1の本発明の高周波用高Qインダクタである。

【0012】第4の本発明（請求項4に対応する）は、前記複数のインダクタ要素は、直列に接続された回路部分と、並列に接続された回路部分とを有することを特徴とする第1の本発明の高周波用高Qインダクタである。

【0013】第5の本発明（請求項5に対応する）は、前記インダクタ要素の少なくとも一つのインダクタ要素がミアンダ形状に、又は、スパイラル形状に配列されていることを特徴とする第1の本発明の高周波用高Qインダクタである。

【0014】第6の本発明（請求項6に対応する）は、前記複数のインダクタ要素同士の接続部は、それぞれのインダクタ要素が配置されたIC配線層の間に形成された層間膜に形成されていることを特徴とする第1～5のいずれかの本発明の高周波用高Qインダクタである。

【0015】第7の本発明（請求項7に対応する）は、前記インダクタ要素からの取り出し配線は、前記インダクタ要素が配置されたIC配線層に配置されていることを特徴とする第1の本発明の高周波用高Qインダクタである（図1対応）。

【0016】第8の本発明（請求項8に対応する）は、前記複数のインダクタ要素は、それぞれスパイラル形状に配列され、互いに並列接続され、一つの前記取り出し配線は、前記インダクタ要素のスパイラルの中心部に接続されるとともに、前記IC配線層のいずれかを利用して外部へ取り出されており、その取り出しに利用されたIC配線層に配置された前記スパイラル形状のインダクタ要素は、その取り出し配線と交叉する各部位で途切れており、その各途切れた端部同士は、別のIC配線層に配置された前記スパイラル形状のインダクタ要素の一部に接続されることによって、互いに接続されていることを特徴とする第7の本発明の高周波用高Qインダクタである。

ある（図3対応）。

【0017】第9の本発明（請求項9に対応する）は、前記インダクタ要素からの取り出し配線は、前記インダクタ要素が配置されたIC配線層でなく、別に設けられた配線層に配置されていることを特徴とする第1～6のいずれかの本発明の高周波用高Qインダクタである（図2対応）。

【0018】第10の本発明（請求項10に対応する）は、前記取り出し配線と、それに接続される前記インダクタ要素との間は、前記取り出し配線が配置された配線層と、前記インダクタ要素が配置されたIC配線層との間の層間膜に設けられた接続部で接続されていることを特徴とする第9の本発明の高周波用高Qインダクタである（図2対応）。

【0019】第11の本発明（請求項11に対応する）は、前記複数のインダクタ要素は、それぞれスパイラル形状に配列され、前記複数のインダクタ要素は隣り合う同士接続され、その接続の仕方は、中心部同士を接続し、また最外部同士を接続することによって互いに直列接続され、前記隣り合う同士の各インダクタ要素のスパイラルの巻き方は互いに逆転しており、各インダクタ要素が生成する磁界の方向は実質上同一方向を向いていることを特徴とする第1の本発明の高周波用高Qインダクタである（図4、5対応）。

【0020】第12の本発明（請求項12に対応する）は、前記複数のインダクタ要素は、それぞれスパイラル形状に配列され、前記複数のインダクタ要素は一つ置きに互いに接続され、その接続の仕方は、中心部同士を接続し、また最外部同士を接続することによって互いに直列接続され、隣り合う同士の各インダクタ要素のスパイラルの巻き方は互いに同方向を向いており、各インダクタ要素が生成する磁界の方向は実質上同一方向を向いていることを特徴とする第1の本発明の高周波用高Qインダクタである（図6対応）。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0022】（実施の形態1）図1は本発明の高周波用高Qインダクタの第1の実施の形態を示す。図において、11はミアンダタイプの1層目にあるインダクタ部（本発明のインダクタ要素に相当する。以後同じ）、12、13は1層目取り出し配線、14は2層目にあるインダクタ部、15、16は1層目と2層目の接続部、17は層間膜、18は平坦化膜である。

【0023】この接続部15、16はたとえば1個が1mm程度のコンタクト部を、9個集めて形成する。

【0024】上記のように、従来、1層のみを使用して構成されていたインダクタ部を、1層目と2層目にそれぞれ配置し、それらのインダクタ部を互いに並列接続する2層構造とした。

【0025】これによって、従来、低周波、及び高周波における直列抵抗成分が大きく、低いQ値であったものを、断面積を増やし、更に高周波における表皮効果によるQ値の劣化を抑えた高周波用高Q値インダクタを得ることができる。

【0026】なお、本発明は、1層目と2層目の並列接続をインダクタ部全体にわたって行う場合も含む。

【0027】(実施の形態2) 図2は本発明の高周波用高Qインダクタの第2の実施の形態を示す。図において、21はスパイラル形状の1層目インダクタ部、22は1層目取り出し配線、23はスパイラル形状の2層目インダクタ部、24は3層目にある、2層目のインダクタ部23からの取り出し配線、25、26は1層目と2層目の接続部、27、28は層間膜、29は平坦化膜、210は2層目と3層目の接続部である。1層目のインダクタ部22と、2層目のインダクタ部23とは互いに同じ方向に卷いたスパイラル形状をなしている。

【0028】上記のように、従来、1層のみを使用して構成されていたインダクタ部を、1層目と2層目にそれぞれ配置し、それらのインダクタ部22、23を互いに並列接続した2層構造とする。

【0029】これによって、従来、低周波、及び高周波における直列抵抗成分が大きく、低いQ値であったものを、断面積を増やし、更に高周波における表皮効果によるQ値の劣化を抑えた高周波用高Q値インダクタを得ることができる。

【0030】尚、1層目と2層目の並列接続をインダクタ部全体にわたって行う場合も本発明は含む。

【0031】又、ここでは層を3層としたが、同様の構造を有する層を4層以上設け、最下層に取り出し配線を持つようにしてもららんかまわないのである。

【0032】(実施の形態3) 図3は本発明の高周波用高Qインダクタの第3の実施の形態を示す。図において、31はスパイラル状の1層目インダクタ部、32は1層目取り出し配線、33はスパイラル状の2層目インダクタ部、34は2層目取り出し配線、35は1層目と2層目の接続部、37は層間膜、38は平坦化膜である。

【0033】これらのインダクタ部31、33は並列接続されている。

【0034】本実施の形態3では、2層目の取り出し配線34は、2層目のインダクタ部33が設けられた層 자체を利用している点に特徴がある。そこで、その2層目におけるインダクタ部33を、同じ層にある取り出し配線34と交叉する部位で、互いに接触しないように、一旦途切れさせ、その途切れた両端部を接続部35により1層目に取り出し、1層目のインダクタ31と接続する構成をとる。これによって、2層目のインダクタ部33は、ほぼスパイラル形状を持つ一本のインダクタ部となる。

【0035】上記のように、従来、1層のみを使用して構成されていたインダクタ部を、1層目と2層目を使用し並列接続する2層構造とし、更に、取り出し配線と同じ層にインダクタを形成することにより、配線層の層数が少ないプロセスにおいても、従来、低周波、及び高周波における直列抵抗成分が大きく、低いQ値であったものを、断面積を増やし、更に高周波における表皮効果によるQ値の劣化を抑えた高周波用高Q値インダクタを得ることができる。

【0036】実施の形態2の場合は、取り出し配線を形成する層を別に設けたが、本実施の形態3では、インダクタ部の配線層を利用して取り出し配線を形成する点に特徴がある。

【0037】尚、本発明は、1層目と2層目の並列接続をインダクタ部全体にわたって行う場合も含む。

【0038】又、ここでは層を2層としたが、本発明は、同様な構造の層を3層以上設け、いずれかの層に取り出し配線を設けることも含む。その際、取り出し配線と交叉するインダクタ部は、上下いずれの他のインダクタ部へ接続させることも自由である。

【0039】なお、図7、図8は従来の1層のみを利用するインダクタと、上記本実施の形態のインダクタの性能を比較したグラフである。

【0040】図7では、Lに対するRの変化をプロットしたもので、本実施の形態の2層タイプの方が、Rが小さくなっている。

【0041】図8では、Lに対するQの変化をプロットしたもので、本実施の形態の2層タイプの方が、Qが高くなっている。

【0042】(実施の形態4) 図4は本発明の高周波用高Qインダクタの第4の実施の形態を示す。図において、41はスパイラル形状の1層目インダクタ部、42は1層目取り出し配線、43は1層目2層目接続部、44はスパイラル形状の2層目インダクタ部、45は2層目と3層目の接続部、46はスパイラル形状の3層目インダクタ部、47は3層目と4層目の接続部、48はスパイラル形状の4層目インダクタ部、49は4層目取り出し配線、410、411、412は層間膜、413は平坦化膜である。

【0043】ここで、それぞれのインダクタ部は隣り合う同士が接続される。すなわち、その中心部同士が接続され、また、最外部同士が接続される。従って、これらのインダクタ部は直列接続されているといえる。

【0044】このとき、インダクタの形状は奇数層と偶数層で表裏反転した形状とする。

【0045】このようにすることによって、各インダクタ部が形成する磁界の方向は同一方向となり、結合が有効に行われる。

【0046】上記のように、Q値を高めるため、従来1層のみを使用して構成されていたインダクタ部の全長を

単に長くするだけでは、サイズが大きくなるという課題があったが、本実施の形態4では、インダクタ部の長さを全体として立体的に長くしているので、サイズがコンパクトになる。

【0047】尚、ここでは4層の場合を示したが、図5に示すように、本発明は、さらに同様の構造を5層、6層と増加させてもよい。これらの層が偶数個ある場合は、取り出し配線はインダクタ部の最外部から取り出せるので簡単である。

【0048】また、これらの層が奇数個ある場合は、図2や図3で説明した方法で取り出し配線を設けることができる。

【0049】また、図6に示すように、隣り合う1組のインダクタ部のスパイラルの巻き方を同じ方向とし、隣り合う組同士のインダクタ部の巻き方を逆転させてもよい。その場合は、一つ飛ばしに、図のように直列接続していく。

【0050】このようにしても、各インダクタ部が形成する磁界の方向は同一方向となり、結合が有効となる。

【0051】

【発明の効果】以上のように本発明によれば、配線層1層のみで構成されていたインダクタ部分が多層構造となることにより、直列抵抗成分が低く、表皮効果の影響を受けないQ値の高いインダクタをIC上で作成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すインダクタ図

【図2】本発明の第2の実施形態を示すインダクタ図

【図3】本発明の第3の実施形態を示すインダクタ図

【図4】本発明の第4の実施形態を示すインダクタ図

【図5】本発明の他の実施形態を示すインダクタの模式図

【図6】本発明の他の実施形態を示すインダクタの模式図

【図7】本発明の実施の形態と、従来例との性能の比較

を示すグラフ

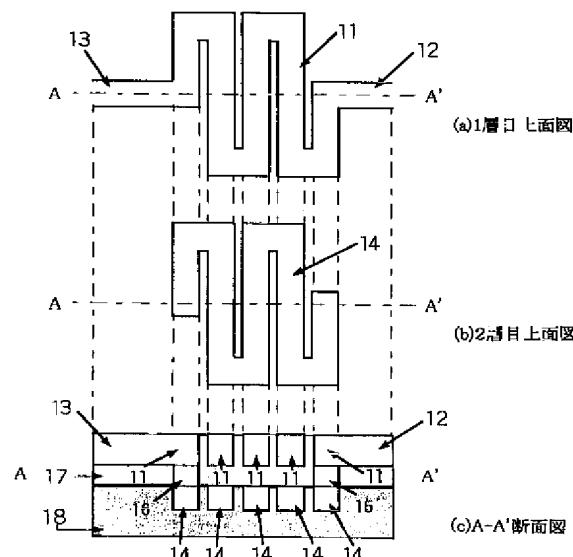
【図8】本発明の実施の形態と、従来例との性能の比較を示すグラフ

【図9】従来のインダクタ図

【符号の説明】

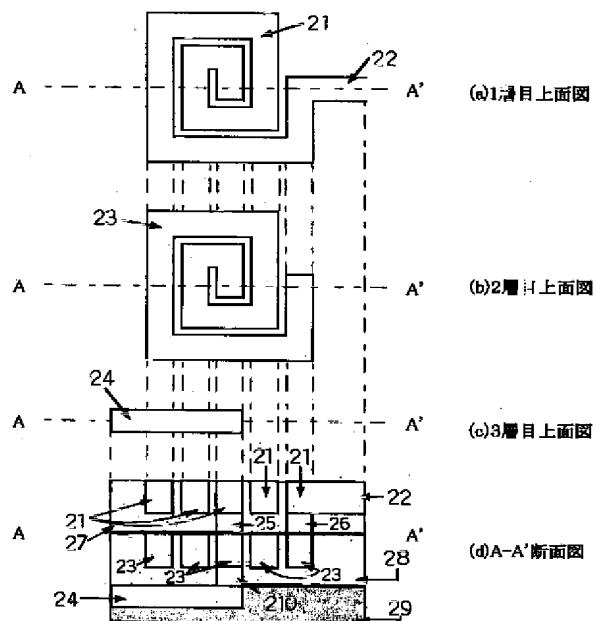
- 1 1 1層目インダクタ部
- 1 2 1層目取り出し配線
- 1 3 1層目取り出し配線
- 1 4 2層目インダクタ部
- 1 5、1 6 1層目2層目接続部
- 1 7 層間膜
- 2 2 1層目インダクタ部
- 2 3 2層目インダクタ部
- 2 4 2層目取り出し配線
- 2 5、2 6 1層目2層目の接続部
- 2 7、2 8 層間膜
- 2 1 0 2層目3層目の接続部
- 3 1 一層目インダクタ部
- 3 2 一層目取り出し配線
- 3 3 2層目インダクタ部
- 3 4 2層目取り出し配線
- 3 5 1層目2層目接続部
- 3 7 層間膜
- 4 1 1層目インダクタ部
- 4 2 一層目取り出し配線
- 4 3 1層目2層接続部
- 4 4 2層目インダクタ部
- 4 5 2層目3層目接続部
- 4 6 3層目インダクタ部
- 4 7 3層目4層目接続部
- 4 8 4層目インダクタ部
- 4 9 4層目取り出し配線
- 4 1 0~4 1 2 層間膜
- 1 8、2 9、3 8 平坦化膜

【図1】



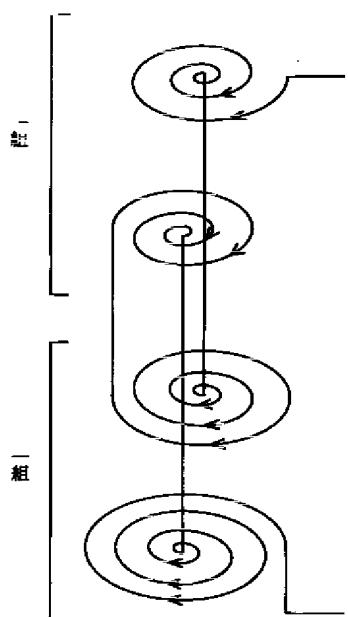
1 1 : 1層目インダクタ部
1 2 : 1層目取り出し配線
1 3 : 1層目取り出し配線
1 4 : 2層目インダクタ部
1 5, 1 6 : 1層目、2層目接続部
1 7 : 層間膜
1 8 : 平坦化膜

【図2】

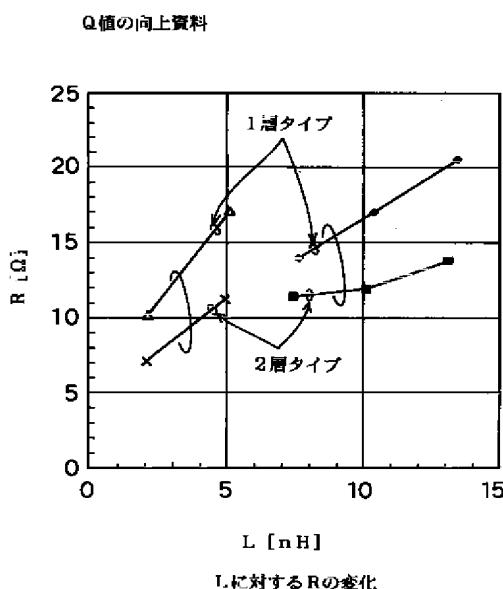


2 2 : 1層目インダクタ部
2 3 : 2層目インダクタ部
2 4 : 2層目取り出し配線
2 5, 2 6 : 1層目、2層目接続部
2 7, 2 8 : 層間膜
2 9 : 平坦化膜
2 1 0 : 2層目、3層目の接続部

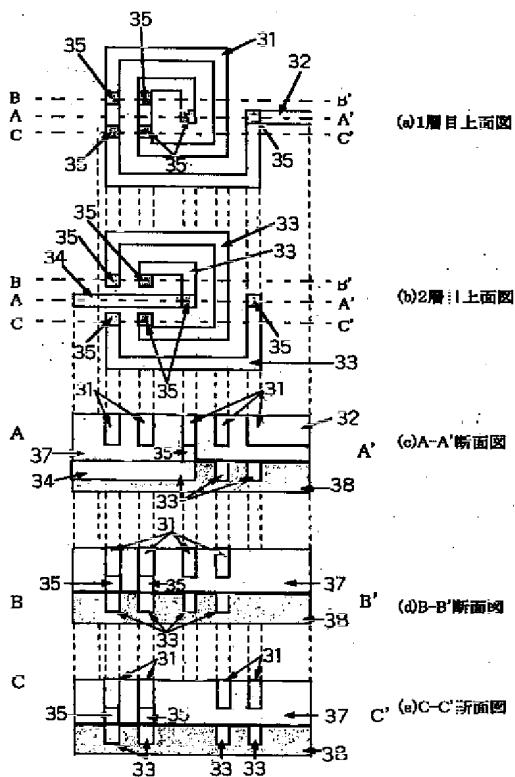
【図6】



【図7】

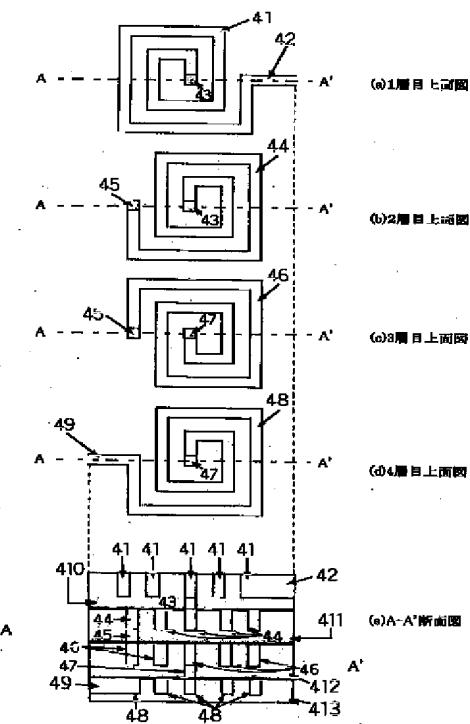


【図3】



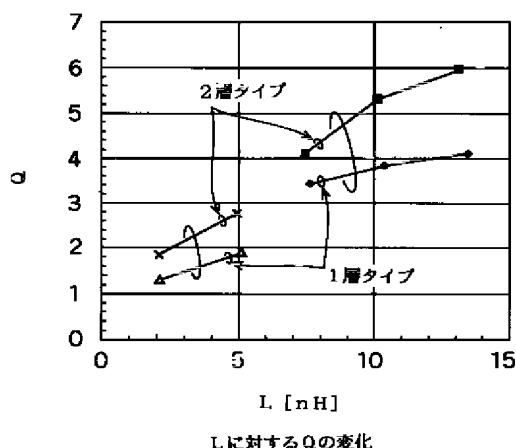
3 1 : 1層目インダクタ部
3 2 : 1層目取り出し配線
3 3 : 2層目インダクタ部
3 4 : 2層目取り出し配線
3 5 : 1層目2層目接続部
3 7 : 間隔膜
3 8 : 平坦化膜

【図4】

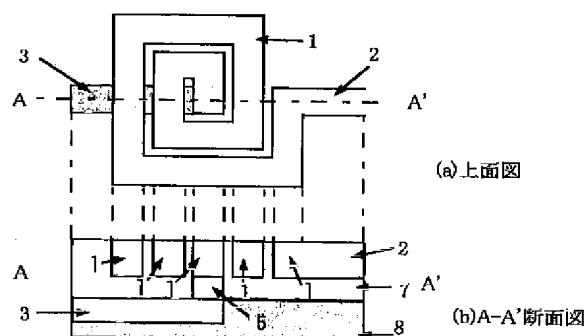


4 1 : 1層目インダクタ部
4 2 : 1層目取り出し配線
4 3 : 1層目2層目接続部
4 4 : 2層目インダクタ部
4 5 : 2層目3層目接続部
4 6 : 3層目インダクタ部
4 7 : 3層目4層目接続部
4 8 : 4層目インダクタ部
4 9 : 4層目取り出し配線
4 10~4 12 : 間隔膜
4 13 : 平坦化膜

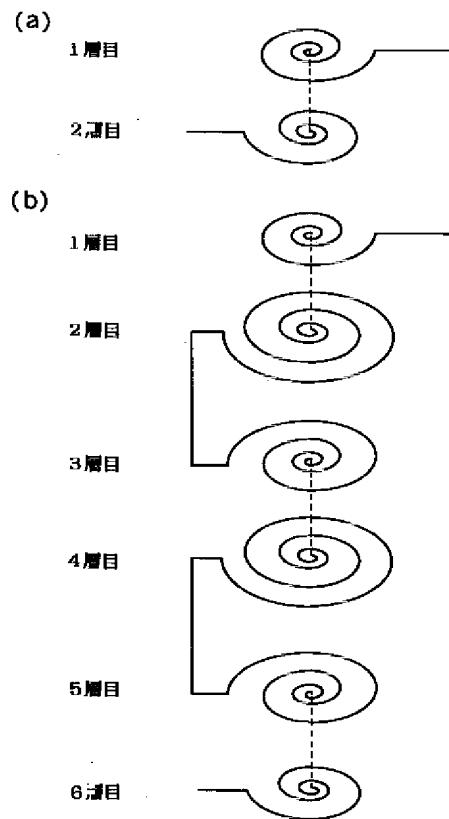
【図8】



【図9】



【図5】



フロントページの続き

(72)発明者 中谷 俊文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 滝波 浩二

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 平岡 幸生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内